

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

4781536

Basic Patent (No,Kind,Date): JP 59161870 A2 840912 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: OKI ELECTRIC IND CO LTD

Author (Inventor): MURAKAMI NORIO; ABE HIDEJI

IPC: \*H01L-029/78;

Derwent WPI Acc No: \*C 84-266073;

JAPIO Reference No: \*090015E000023;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 59161870	A2	840912	JP 8335864	A	830307 (BASIC)

Priority Data (No,Kind,Date):

JP 8335864 A 830307

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

01450270 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 59-161870 [JP 59161870 A]

PUBLISHED: September 12, 1984 (19840912)

INVENTOR(s): MURAKAMI NORIO

ABE HIDEJI

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 58-035864 [JP 8335864]

FILED: March 07, 1983 (19830307)

INTL CLASS: [3] H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);

R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 291, Vol. 09, No. 15, Pg. 23, January 22, 1985 (19850122)

#### ABSTRACT

PURPOSE: To contrive to shorten the channel and to prevent the punch through by a method wherein the source and drain diffused layers are formed so as to have the difference in impurity distribution in the direction of the channel of an MOS transistor.

CONSTITUTION: An Si nitride film 2, a CVD nitride film 3, and a gate poly Si 4 are formed on a semiconductor substrate 1, and next a resist 5 is formed on the Si4. Then, the Si4 is etched, with the resist 5 as a mask, until a part of the film exposes. At the point of the finish of thin process, they are formed in a structure that the film 3 leaves the width A. An impurity 6 to form the source and drain is ion-implanted. Thereby, the source and drain diffused layers 7 and impurity layers 8 formed more shallowly can be obtained. When high temperature annealing is performed, they are formed in a structure that the source and drain diffused layers have different impurities in the direction of the channel of the MOS transistor TR, and that it inhibits the impurity expansion to the direction of the channel. Thus, the shortening of the channel and the prevention of the punch through can be realized.

⑯ 日本国特許庁 (JP)

⑰ 特許出願公開

⑱ 公開特許公報 (A)

昭59—161870

① Int. Cl.<sup>3</sup>  
H 01 L 29/78

識別記号

庁内整理番号  
7377—5F

② 公開 昭和59年(1984)9月12日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑤ 半導体装置の製造方法

⑥ 特 願 昭58—35864

⑦ 出 願 昭58(1983)3月7日

⑧ 発 明 者 村上則夫

東京都港区虎ノ門1丁目7番12  
号沖電気工業株式会社内

⑨ 発 明 者 阿部秀司

東京都港区虎ノ門1丁目7番12  
号沖電気工業株式会社内

⑩ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12  
号

⑪ 代 理 人 弁理士 菊池弘

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上にシリコン熱酸化膜、CVD窒化膜およびゲートポリシリコンを順次形成するとともに上記シリコン熱酸化膜の一部が露出するまでゲートポリシリコンをエッチングしてCVD窒化膜の厚さを異ならせる工程と、上記半導体基板に不純物を混入してMOSトランジスタのチャンネル方向に対して不純物分布に差異を有するようにソース・ドレイン拡散層を形成する工程とよりなる半導体装置の製造方法。

3. 発明の詳細な説明

(技術分野)

この発明は、ショートチャンネル化およびパンチスルーなどを防止できるようにした半導体装置の製造方法に関する。

(従来技術)

従来のMOS型トランジスタはゲート絶縁膜と

してシリコン熱酸化膜を、ゲート電極としてポリシリコンを、さらにソースドレイン形成用のイオン注入に際しては、均一なるシリコン熱酸化膜を用いており、この構造を使用することにより、ソースドレイン拡散層を形成した場合、ソースドレイン不純物がMOSトランジスタのチャンネル領域へ深く拡散すること、MOSトランジスタのショートチャンネル効果によるVT(スレッシュホールド電圧)のシフトや、パンチスルーなどの現象が発生していた。

また、この構造による前述の現象を回避するためには高エネルギーによるイオン注入工程の増加、基板温度の制御などの技術が必要となり、半導体製造技術が複雑さを増す要因となっていた。

(発明の目的)

この発明は前述の欠点を解決するためになされたもので、ショートチャンネル化、パンチスルーなどを防止できる半導体装置の製造方法を提供することを目的とする。

(発明の構成)

この発明の半導体装置の製造方法は、半導体基板上にシリコン熱酸化膜、CVD窒化膜およびゲートポリシリコンを順次形成し、シリコン熱酸化膜の一部が露出するまでゲートポリシリコンをエッチングしてCVD窒化膜の厚さを異ならせ、半導体基板に不純物を注入してMOSトランジスタのチャネル方向に対して不純物分布に差異を有するようにソース・ドレイン拡散層を形成するようにしたものである。

#### (実施例)

以下、この発明の半導体装置の製造方法の実施例について図面に基づき説明する。第1図ないし第5図はその一実施例の工程説明図であり、この第1図ないし第5図において、1は半導体基板、2はシリコン熱酸化膜、3はCVD窒化膜、4はゲートポリシリコン、5はレジスト、6はソースドレイン形成用不純物、7、8はソースドレイン拡散層、AはCVD窒化膜のソース・ドレイン領域への拡がり幅である。

第1図は半導体基板1上にシリコン熱酸化膜2、

CVD窒化膜3、ゲートポリシリコン4を形成したMOSトランジスタのアクティブ領域となる部分を示している。

次に、第2図に示すように前記ゲートポリシリコン4上にフォトリソグラフィ技術により、レジスト5を形成する。

さらに、CF<sub>4</sub>プラズマエッチング技術によりレジスト5をマスクとして、ゲートポリシリコン4をエッチングする訳であるが、このときに第3図に示すごとく、シリコン熱酸化膜2の一部が露出するまでゲートポリシリコン4をエッチングする。

この工程が終了した時点で、CVD窒化膜3が第3図のような幅Aを残した構造が得られる。

次に、第4図において、ソースドレイン形成のための不純物6をイオン注入する。このとき、イオン注入における注入エネルギー、不純物濃度およびマスク膜厚が半導体基板内への注入深さを決定するため、注入エネルギー、不純物濃度を一定とした場合、第4図に示すごとく、従来法と同様の不純物分布を有するソースドレイン拡散層7と、そ

れよりも浅く形成される不純物層8が実現される。

これらのイオン注入により半導体基板1内に導入された不純物を活性化させるため、次工程において高温アニールを行うと、第5図のような、不純物分布がMOSトランジスタのチャネル付近に形成される。

以上、第1の実施例で説明したように、MOSトランジスタのチャネル方向に対し、ソースドレイン拡散層が異なった不純物濃度分布を有し、それがチャネル方向への不純物の拡がりを抑制する構造となつてゐるため、微細なMOSトランジスタを実現するために必要となる(1)ショートチャネル化の防止、(2)パンチスルーの防止などが従来半導体製造技術であるCVD技術とCF<sub>4</sub>プラズマエッチング技術で簡単に実施できるという利点がある。

#### (発明の効果)

この発明は、微細加工技術を必要とするVLSI技術でのMOSトランジスタの製造技術に対し、ソースドレイン拡散層の不純物分布をMOSトラ

ンジスタのチャネル方向に差をもたせるようにしたので、ショートチャネル化、パンチスルーなどを防止できる利点がある。

#### 4. 図面の簡単な説明

第1図ないし第5図はそれぞれこの発明の半導体装置の一実施例を説明するための工程説明図である。

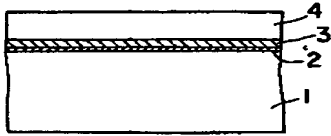
1…半導体基板、2…シリコン酸化膜、3…CVD窒化膜、4…ゲートポリシリコン、5…レジスト、6…ソースドレイン形成用不純物、7、8…ソースドレイン拡散層、A…CVD窒化膜のソースドレイン領域への拡がり幅。

特許出願人 沖電気工業株式会社

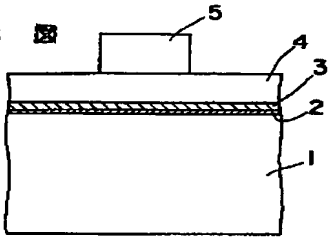
代理人 弁理士 菊 池



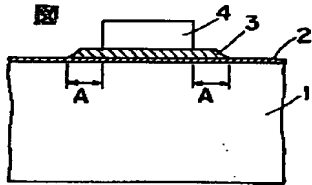
第 1 図



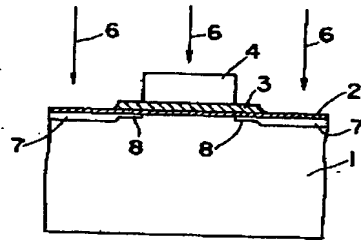
第 2 図



第 3 図



第 4 図



第 5 図

